

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-207047

(43)Date of publication of application : 29.07.1992

(51)Int.Cl.

H01L 21/66  
G01R 1/073  
G01R 31/26

(21)Application number : 02-339802

(71)Applicant : TOKYO ELECTRON YAMANASHI  
KK

(22)Date of filing : 30.11.1990

(72)Inventor : TAKAO ITARU

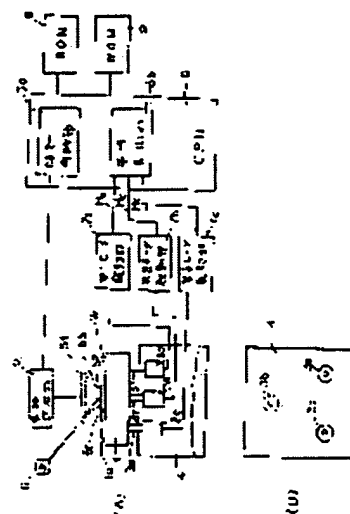
## (54) INSPECTION APPARATUS

### (57)Abstract:

**PURPOSE:** To impress an accurate test signal by a method wherein the needle point of a probing card is brought into pressure contact with a chip, the degree of an inclination between the needle point of the probing card and the chip is judged on the basis of the size of a formed trace and the needle of the probing card is made parallel with the chip.

**CONSTITUTION:** A silicon wafer W is placed on a specimen stand 1; the specimen stand 1 is moved to the upper part and overdriven; the needle point of a needle 55 is brought into pressure contact with a pad 52 at a chip 51. Then, large and small traces are formed; they are read out as trace data by means of a trace readout part 5; they are sent to an inclination judgment part 6a.

Then, it is judged on the basis of the trace data that a probing card 54 and the chip 51 are in an inclined state. A parallelism control part 6b performs a computation in order to make the probing card 54 and the chip 51 parallel; parallelism control signals Ha to Hc are sent out to individual servomotors 3a to 3c; the motors are turned in the forward and reverse directions; the specimen stage 1 is inclined and controlled; the probing card 54 and the chip 51 are set to a mutually parallel state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(citation 13)

Japanese Patent Laying-Open Publication No. H4-207,047

Publication Date: July 29, 1992

Application No. H2-339,802 filed November 30, 1990

Inventor: Itaru TAKAO

Applicant: Tokyo Electron Yamanashi K.K.

Title of the invention: Testing apparatus

(Claim)

A testing apparatus characterized by comprising a platform (1) for supporting a device (51) to be tested, means (5) disposed on said platform for detecting the parallelism between the device and a probe card (54) having arrayed probe needles (55), parallel control means (66) for relatively adjusting said device and said probe card in response to the result of detection of said parallelism detection means and means for testing said device after the parallelism is adjusted by said parallel control means.

(Abridgment of the description)

The claimed testing apparatus comprises a platform 1, the planarity or horizontality of which is adjustable by means of servo motors 3a-3c having shafts 3d-3f that are reciprocated upon rotation. A semiconductor wafer W comprising a multitude of chips 51 is disposed on the platform 1 and a probe card 54 having probe needles 55 are disposed above the wafer. The probe card 54 is first moved toward the wafer so that the needles 55 make contact with pads on the wafer. Scratches on the pads are detected by irradiating light from a lamp 11 and reading reflected light at a detector 5. If the scratches are not uniformly distributed among the pads, the information is processed in a processor 6 for determining the degree of beveling of the platform 1. One or more of the servo motors 3a-3c are driven in accordance with the processed information to achieve the required planarity.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-207047

⑮ Int. Cl.<sup>3</sup>

H 01 L 21/66  
G 01 R 1/073  
31/26

識別記号

B  
E  
J

庁内整理番号

7013-4M  
9016-2C  
8411-2C

⑬ 公開 平成4年(1992)7月29日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 検査装置

⑯ 特 願 平2-339802

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 高 尾 三 山梨県韮崎市藤井町北下条2381番地の1 東京エレクトロ  
ン山梨株式会社内

⑲ 出 願 人 東京エレクトロン山梨 山梨県韮崎市藤井町北下条2381番地の1  
株式会社

⑳ 代 理 人 弁理士 中本 菊彦

明 細 書

1. 発明の名称

検査装置

2. 特許請求の範囲

被検体を支持する支持台と、

この支持台上に設けられた、被検体およびプローブ針列カードとの平行度を検出する平行度検出手段と、

この平行度検出手段の検出結果に基づき前記被検体およびプローブ針列カードとを相対的に移動させて平行ならしめる平行制御部と、

この平行制御部により平行制御させた後、上記被検体の検査を行う手段と、  
を備えたことを特徴とする検査装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、検査装置に関する。

【従来の技術】

シリコンウェーハ上の構成要素であるチップに形成される微細回路が、設計仕様通りに構成されているか否かを検査する場合には、信号発生器、波形解析装置等からなる回路試験器が使用される。この場合、チップに形成されたパッドにプロービングカード(商品名)の針先を圧接し、前記回路試験器から前記針先とパッドを介して前記微細回路に試験信号を印加して当該チップの回路形成の可否を判定している。

一方、最近の半導体のVLSI化に伴いチップが大型化し、例えば、第3図に示すように、シリコンウェーハW上に、従来のチップCを3個分連続した大きさの長方形の大型のチップ51が作成されている。このチップ51には、第4図に示すように、ボンディングワイヤ(図示せず)を接続するための多数のパッド52が形成されている。前記チップ51の可否を検査する場合には、第5図に示すように、平坦な上面を有する試料台53上に設置されたチップ51のパッド52の被検面

にプロービングカード54の針55の針先を圧接し、図示しない回路試験器から試験信号をチップ51に印加することにより、当該チップ51の回路構成が設計仕様通りになされているか否かを検査している。また、第4図から明らかなように、それぞれのパッド52にはそれぞれの針55の針先が圧接されている。

#### 【発明が解決しようとする課題】

しかしながら、例えば、第6図に示すように、チップ51とプロービングカード54の針先とが互いに不平行状態にあるため、左側の針先と右側の針先とでは、パッド52に対する圧接力のバランスが不一致となる。この不一致状態において前記回路試験器から試験信号をチップ51に印加すると、均一な信号印加がなされず、チップ51の回路形成の合否が誤って判定されるおそれがある。

本発明は、前記問題点を解決するためになされたものであり、チップ（被検体）とプロービングカードとが平行となる検査装置を提供することを目的とする。

プロービングカードに対して被検面が傾斜していることになる。かかる傾斜の大小に基づき、プロービングカードと被検面の傾斜度合を傾斜判断部が判断し、この判断データに基づき平行制御部が被検面とプロービングカードを平行状態にさせるための演算を行い、この演算結果に基づいて被検面とプロービングカードが平行になるように制御する。プロービングカードと被検面とが平行にされた状態で回路試験器から試験信号を印加すると、各針先から被検面に正確な信号が印加される。

#### 【実施例】

以下、本発明を具体化した実施例を第1図および第2図を参照して説明する。なお、第3図～第5図で説明した部分には同一符号を付し、重複記載を省略する。

第1図(A)に半導体検査装置の実施例を説明するためのブロック図を示す。

第1図(A)に示すように、X、Y、Z、θ方向に移動する支持台である試料台1上には被検体である、例えばシリコンウェーハWが載置され、

#### 【課題を解決するための手段】

この目的を達成するために本発明は、被検体を支持する支持台と、この支持台上に設けられた、被検体およびプローブ針列カードとの平行度を検出する平行度検出手段と、この平行度検出手段の検出結果に基づき前記被検体およびプローブ針列カードとを相対的に移動させて平行ならしめる平行制御部と、この平行制御部により平行制御させた後、上記被検体の検査を行う手段と、を備えて構成した。

#### 【作用】

本発明によれば、先ず、試料台上に載置された被検体の被検面に対して、例えば、プロービングカードの針先を圧接することにより、被検面に痕跡を形成する。この痕跡を平行度検出手段である痕跡読取り部で読み取る。この場合、前記針先が被検面に対して平行状態で圧接していれば、全ての痕跡は、略均等な大きさになるはずであり、平行状態で圧接していなければ、例えば、被検面の左右で痕跡の大きさが異なるはずである。即ち、

このシリコンウェーハWには多数個の方形状のチップ51が形成されている（第3図参照）。試料台1は台座4上に配置され、第1図(B)に示すように、台座4内には正三角形の頂角上にサーボモータ3a～3cが配置されている。サーボモータ3a～3cの出力軸3d～3fの回転駆動により試料台1の載置面1aは、全方向に傾斜調整可能になっている。シリコンウェーハWの上方には図示しない上下駆動手段により駆動されるプローブであるプロービングカード54が配置されている。プロービングカード54は、上記チップ51の電極パターン針先が配列された各針55の針先が、シリコンウェーハWのチップ51の各パッド52にウェーハWが上下動することにより圧接されるようになっている。このプロービングカード54は前記圧接の終了後、図示の状態から例えば上方に上げられた後、右方に退避される。シリコンウェーハWの上方には撮像装置、例えばCCDカメラ等からなる平行度検出手段である痕跡読取り部5が配設され、ランプ11から発せられる光

がパッド52により反射され、この反射光に基づき前記圧接によりパッド52上に形成された痕跡をパターン情報として読み取る。

CPU6は、傾斜判断部6aと平行制御部6b等からなり、傾斜判断部6aには痕跡読み取り部5が読み取ったデータ(パターン)が電気信号に変換されて送られる。このパターン情報がウェハ表面の予め定められた数点において同様なパターンとなるよう制御信号を出力する。この出力信号により、平行制御部6bは、前記傾斜判断部6aが判断した傾斜データに応じてモータ駆動部7a~7cを介して前記サーボモータ3a~3cを駆動し、試料台1、即ちウェハW表面の平行度を調整する。CPU6には、半導体検査装置全体を制御するプログラムが格納されたROM8と、処理データを一時格納するRAM9が接続されている。半導体ウェハ検査装置の構成は当業者において周知であるから省略する。

次に動作を説明する。

試料台1の予め定められた位置に位置決めされ

たシリコンウェハWを設置した状態で、図示しない上下駆動手段によりプローブカード54は下方の予め定められた位置に駆動され、試料台1を上方に移動させオーバドライブをかけ、針55の針先をチップ51のパッド52に圧接する。今、前記圧接により、ウェハWの選択された1つのチップ51のパッド上には、第2図に示すように、大小の痕跡が形成されたと仮定する。即ち、チップ51の左辺側のパッド52a、52g、52h、52i上には、大きな痕跡A<sub>1</sub>~A<sub>4</sub>が形成され、右方にいくにつれ痕跡はB<sub>1</sub>~F<sub>1</sub>、B<sub>2</sub>~F<sub>2</sub>の如く小さくなる。これらの痕跡から、プロービングカード54とチップ51とは不平行状態になっている。即ち、前記第6図に示した如く、プロービングカード54とチップ51とは左方が近付いていて、右方が離れていると判断される。これをパターン認識技術により判別する。以上に説明した状態は、ランプ11から発せられた光のパッド52による反射光として痕跡読み取り部5により痕跡データとして読み取られる。前記読み取られ

た痕跡データは傾斜判断部6aに送られると、傾斜判断部6aは痕跡データに基づきプロービングカード54とチップ51とが第6図に示した傾斜状態になっていると判断する。平行制御部6bは、この判断データに基づきプロービングカード54とチップ51を平行にさせるための演算を行い、相対的に移動、例えばウェハWの平行度を調整する。この演算結果を平行制御信号H<sub>1</sub>~H<sub>4</sub>として各モータ駆動部7a~7cを介して各サーボモータ3a~3cに送出する。サーボモータ3a~3cは平行制御信号H<sub>1</sub>~H<sub>4</sub>に応じてそれぞれ正逆回転され、試料台1が傾斜制御されてプロービングカード54とチップ51とは互いに平行状態にされる。この平行状態において、図示しない回路試験器により所定の試験信号が印加され、チップの回路構成が設計仕様通りに形成されているか否かの判断がされる。

なお、本実施例では平行度検出手段としてプロービングカードの針先によるチップのパッド上への痕跡を検出していたが、例えば、試料台の左右

に超音波センサを設けておき、このセンサから超音波をシリコンウェハに向けて発して反射させることにより、試料台とシリコンウェハとの距離を測定し、所定の演算をして平行度を求めてもよい。

#### 【発明の効果】

以上詳述したことから明らなように、本発明によれば、例えば、プロービングカードの針先をチップに圧接することにより形成される痕跡の大小に基づいてプロービングカードの針先とチップとの傾斜度合を判断し、この判断結果に応じてプロービングカードの針とチップとを平行にせしめているので、プロービングカードの針先からチップのパッドに正確な試験信号を印加することができる。

#### 4. 図面の簡単な説明

第1図(A)、(B)は本発明の実施例のブロック図および要部平面図、

第2図はチップの痕跡の大小を示す平面図、

第3図はシリコンウェーハと大型チップを示す平面図、

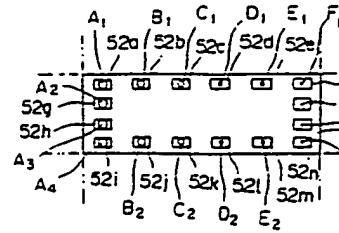
第4図は上記大型チップの拡大図、

第5図は従来の大型チップにプロービングカードの針の針先を圧接した図、

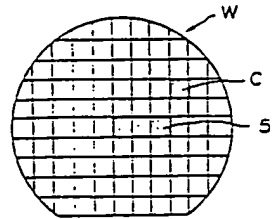
第6図は従来の大型チップとプロービングカードの不具合を示す側面図である。

符号説明

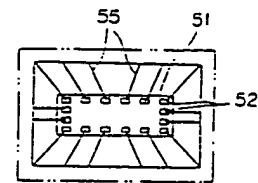
- (1) … 試料台
- (2a) ~ (2c) … サーボモータ
- (5) … 痕跡読取り部 (平行度検出手段)
- (6) … CPU
- (6a) … 傾斜判断部
- (6b) … 平行制御部
- (51) … シリコンウェーハのチップ (被検体)
- (54) … プロービングカード
- (55) … プロービングカードの針
- (A) ~ (F) … 痕跡
- (W) … シリコンウェーハ



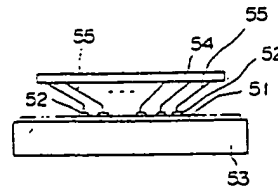
第2図



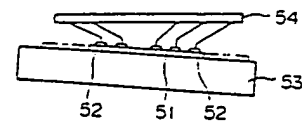
第3図



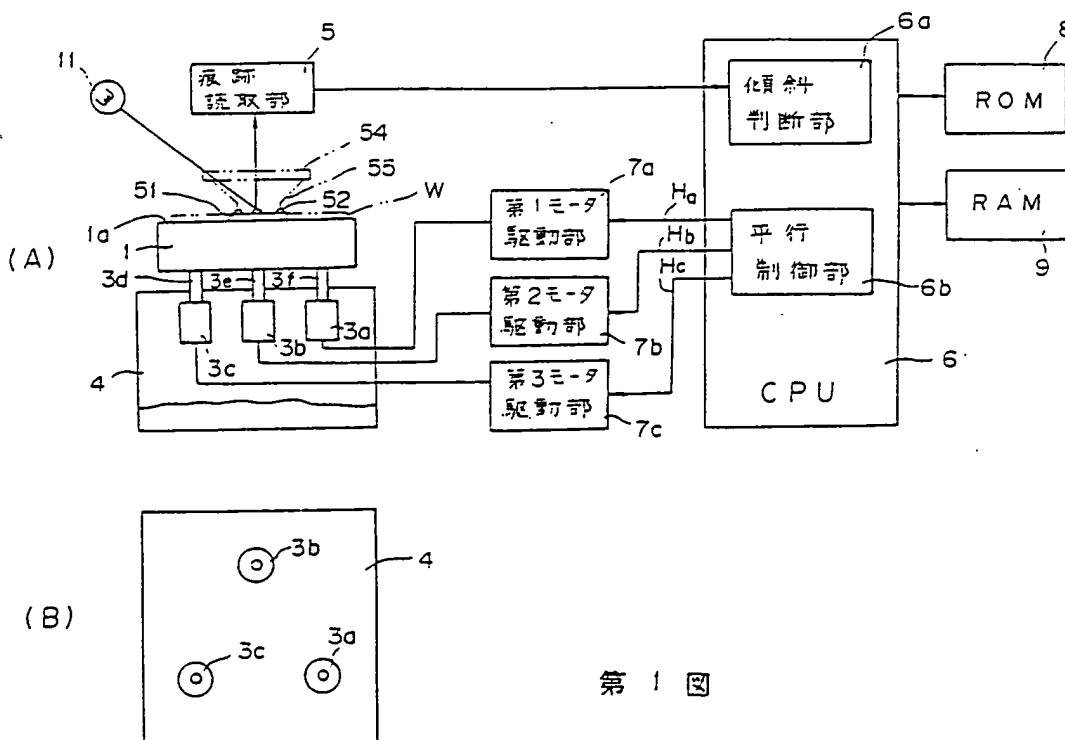
第4図



第5図



第6図



第1図